

PICTURE PROCESSOR

Publication number: JP5159042

Publication date: 1993-06-25

Inventor: AZUMA KATSUHIKA; YAJIMA MASAO

Applicant: SANKYO SEIKI SEISAKUSHO KK

Classification:

- International: G06F9/38; G06F15/16; G06F15/163; G06T1/20;
G06F9/38; G06F15/16; G06T1/20; (IPC1-7): G06F9/38;
G06F15/16; G06F15/66

- European:

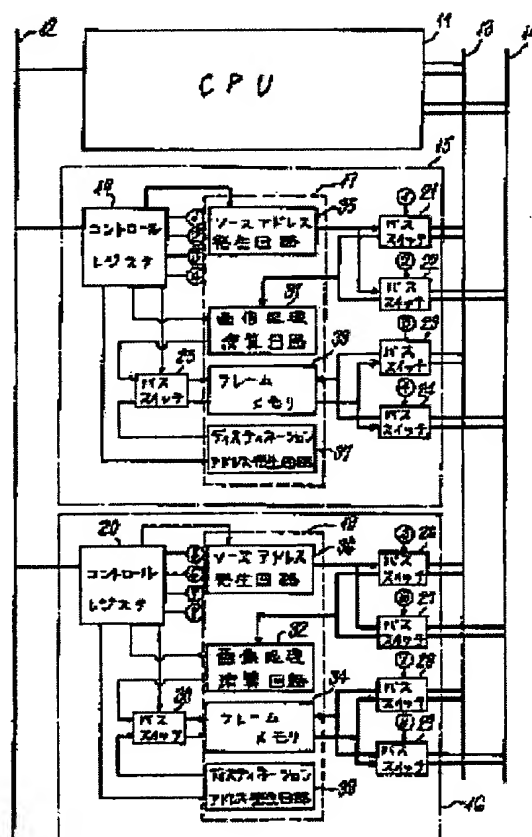
Application number: JP19910317721 19911202

Priority number(s): JP19910317721 19911202

Report a data error here

Abstract of JP5159042

PURPOSE: To process picture data at high speed without taking much time for the transfer of picture data. **CONSTITUTION:** Plural bus switches 21-24 and 26-29 which selectively connect plural picture processing parts 17 and 18 to a bus and plural control registers 19 and 20 which are provided in accordance with the plural picture processing parts 17 and 18, store an instruction from a micro computer 11, selectively connect the plural picture processing parts 17 and 18 by controlling the corresponding picture processing by the instruction, parts 17 and 18 and the plural bus switches 21-24 and 26-29 make the plural picture processing parts 17 and 18 read/process picture data on a processing source from opposite memories 33 and 34 and store it in its own memories 33 and 34 are provided.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-159042

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵

G 0 6 F 15/66
9/38
15/16

識別記号

K 8420-5L
3 7 0 A 9290-5B
T 8840-5L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平3-317721

(22)出願日 平成3年(1991)12月2日

(71)出願人 000002233

株式会社三協精機製作所
長野県諏訪郡下諏訪町5329番地

(72)発明者 東 賀津久
長野県諏訪郡下諏訪町5329番地・株式会社
三協精機製作所内

(72)発明者 矢島 正男
長野県諏訪郡下諏訪町5329番地・株式会社
三協精機製作所内

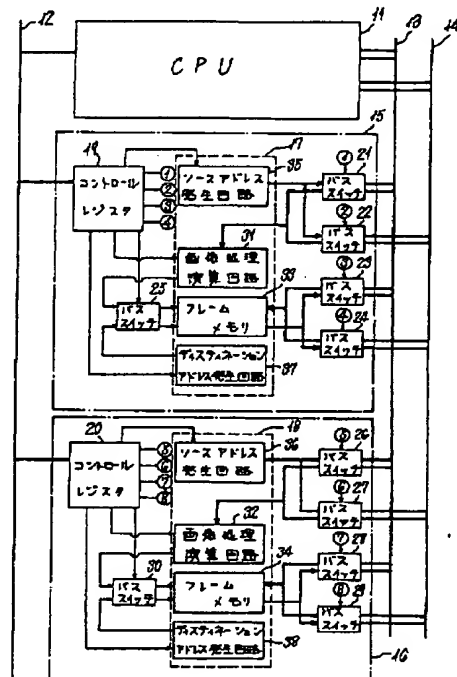
(74)代理人 弁理士 樺山 亨 (外1名)

(54)【発明の名称】 画像処理装置

(57)【要約】

【目的】この発明は、画像データの転送に時間をかけずに高速な画像データ処理を行うことを目的とする。

【構成】この発明は、複数の画像処理部17、18をバスに選択的に接続する複数のバススイッチ21~24、26~29と、複数の画像処理部17、18に対応して設けられ、マイクロコンピュータ11からの命令を格納してこの命令で各々対応する複数の画像処理部17、18及び複数のバススイッチ21~24、26~29を制御することによって、複数の画像処理部17、18を互いに選択的に接続させて複数の画像処理部17、18に各々相手のメモリ33、34から処理元の画像データを読み取らせて処理させた後に自己のメモリ33、34に格納させる複数のコントロールレジスタ19、20とを備えたものである。



【特許請求の範囲】

【請求項1】 処理元の画像データと処理後の画像データとを格納するメモリを各々有する複数の画像処理部と、この複数の画像処理部に画像データを順次に処理させるマイクロコンピュータとを具備した画像処理装置において、

前記複数の画像処理部をバスに選択的に接続する複数のバススイッチと、

前記複数の画像処理部に対応して設けられ、前記マイクロコンピュータからの命令を格納してこの命令で各々対応する前記複数の画像処理部及び前記複数のバススイッチを制御することによって、前記複数の画像処理部を互いに選択的に接続させて前記複数の画像処理部に各々相手のメモリから処理元の画像データを読み取らせて処理させた後に自己のメモリに格納させる複数のコントロールレジスタとを備えたことを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数の画像処理部を有する画像処理装置に関する。

【0002】

【従来の技術】 従来、画像処理装置には、画像データを複数の画像処理部に順次に転送しながら各画像処理部で画像データの各処理を分割して順次に行うものがある。この画像処理装置では、例えば、画像データの2値化処理、フィルタ処理、座標変換処理等の処理を複数の画像処理部で行う。また、高速な画像データ処理を行う場合は、通常、各画像処理部内にメモリを設けてこのメモリに処理元（処理前）の画像データと処理後の画像データとを格納している。

【0003】

【発明が解決しようとする課題】 上記画像処理装置では、画像データを複数の画像処理部に順次に転送しながら各画像処理部で画像データの各処理を分割して順次に行うので、ある画像処理部で処理してメモリに格納した画像データを次の画像処理部で処理する場合に、その画像データを前者の画像処理部におけるメモリから後者の画像処理部へ転送しなければならず、画像データの転送に時間がかかって画像データの処理が遅くなる。

【0004】 本発明は上記欠点を改善し、画像データの転送に時間がかからなくて高速な画像データ処理を行うことができる画像処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記目的を達成するため、請求項1記載の発明は、処理元の画像データと処理後の画像データとを格納するメモリを各々有する複数の画像処理部と、この複数の画像処理部に画像データを順次に処理させるマイクロコンピュータとを具備した画像処理装置において、前記複数の画像処理部をバスに選択

的に接続する複数のバススイッチと、前記複数の画像処理部に対応して設けられ、前記マイクロコンピュータからの命令を格納してこの命令で各々対応する前記複数の画像処理部及び前記複数のバススイッチを制御することによって、前記複数の画像処理部を互いに選択的に接続させて前記複数の画像処理部に各々相手のメモリから処理元の画像データを読み取らせて処理させた後に自己のメモリに格納させる複数のコントロールレジスタとを備えたものである。

【0006】

【作用】 複数のコントロールレジスタがマイクロコンピュータからの命令を格納してこの命令で各々対応する複数の画像処理部及び複数のバススイッチを制御することによって、複数の画像処理部を互いに選択的に接続させて複数の画像処理部に各々相手のメモリから処理元の画像データを読み取らせて処理させた後に自己のメモリに格納させる。

【0007】

【実施例】 図1は本発明の一実施例を示す。この実施例は、マイクロコンピュータ（以下CPUと呼ぶ）11、複数のバス12～14、複数の画像処理回路15、16により構成され、画像処理回路15、16はそれぞれ画像処理部17、18、コントロールレジスタ19、20およびバススイッチ21～25、26～30により構成される。画像処理部17、18はそれぞれ画像処理演算回路31、32、フレームメモリ33、34、ソースアドレス発生回路35、36およびディスティネーションアドレス発生回路37、38により構成される。バス12はCPU11が各画像処理部17、18に対して命令を出したりコントロールレジスタ19、20の値を読んだりするために使用する制御用バスであり、CPU11とコントロールレジスタ19、20とが接続されている。バス13は画像データをCPU11、画像処理部17、18の各間でやり取りするために使用されるバスであり、バス14は画像データをCPU11、画像処理部17、18の各間でやり取りするために使用されるバスであり、バス13が使用されているときに使用される。

【0008】 バス13はCPU11が接続され、かつバススイッチ21を介して画像処理演算回路31及びソースアドレス発生回路35が接続されるとともに、バススイッチ23を介してフレームメモリ33が接続される。さらに、バス13はバススイッチ26を介して画像処理演算回路32及びソースアドレス発生回路36が接続され、バススイッチ28を介してフレームメモリ34が接続される。また、バス14はCPU11が接続され、かつバススイッチ22を介して画像処理演算回路31及びソースアドレス発生回路35が接続されるとともに、バススイッチ24を介してフレームメモリ33が接続される。さらに、バス14はバススイッチ27を介して画像

3

処理演算回路32及びソースアドレス発生回路36が接続され、バススイッチ29を介してフレームメモリ34が接続される。

【0009】CPU11はシステム全体の制御とバス12～14の調停を行い、画像処理部17、18は画像データの2値化処理、フィルタ処理、座標変換処理等の処理を複数の処理に分割して各処理をCPU11からの命令により1つの処理づつ行う機能を個別に有している。コントロールレジスタ19、20はCPU11からの命令を格納してこの命令により画像処理部17、18およびバススイッチ21～25、26～30を制御する。ソースアドレス発生回路35、36は処理すべき処理元

(処理前)の画像データ、例えばカメラから入力された画像データのフレームメモリ33、フレームメモリ34に対する格納先のアドレスを指定するためのアドレス発生回路であり、ディスティネーションアドレス発生回路37、38は処理後の画像データのフレームメモリ33、34に対する格納先のアドレスを指定するためのアドレス発生回路である。画像処理演算回路31、32は画像データの2値化処理、フィルタ処理、座標変換処理等の処理を複数の処理に分割して各処理をCPU11からの命令により1つの処理づつ行う機能を個別に有し、フレームメモリ33、34は画像データを格納するためのメモリである。

【0010】バススイッチ21、26はソースアドレス発生回路35、36から発生したアドレス信号及びバスコントロール信号をバス13へ出力し、バス13からのデータ信号を画像処理演算回路31、32へ入力するためのバススイッチである。バススイッチ25、30はディスティネーションアドレス発生回路37、38から発生したアドレス信号及びバスコントロール信号をフレームメモリ33、34へ入力し、画像処理演算回路31、32から出力された処理結果の画像データをフレームメモリ33、34へ入力するためのバススイッチである。バススイッチ23、28はバス13からのアドレス・データ・コントロール信号をフレームメモリ33、34へ入力し、フレームメモリ33、34からのアドレス・データ・コントロール信号をバス13へ出力するためのバススイッチである。

【0011】バススイッチ22、27はソースアドレス発生回路35、36から発生したアドレス信号及びバスコントロール信号をバス14へ出力し、バス14からのデータ信号を画像処理演算回路31、32へ入力するためのバススイッチである。バススイッチ24、29はバス14からのアドレス・データ・コントロール信号をフレームメモリ33、34へ入力し、フレームメモリ33、34からのアドレス・データ・コントロール信号をバス14へ出力するためのバススイッチである。

【0012】次にこの実施例の動作について説明する。CPU11は各画像処理回路15、16におけるコント

4

ロールレジスタ19、20へバス12を介して命令を出力して格納させる。各画像処理回路15、16ではコントロールレジスタ19、20はCPU11により格納された命令によりバススイッチ21～25、26～30をオン/オフ制御するとともに、ソースアドレス発生回路35、36にアドレス信号及びバスコントロール信号を発生させたりディスティネーションアドレス発生回路37、38にアドレス信号及びバスコントロール信号を発生させたりし、さらに画像処理演算回路31、32に画像データの演算処理を行わせる。

【0013】この場合、通常はバススイッチ22、24、27、29がオフでバス13にソースアドレス発生回路35、36や画像処理演算回路31、32、フレームメモリ33、34が接続されていない。そして、例えば、バススイッチ21がコントロールレジスタ19からの命令によりオンとなって画像処理演算回路31がコントロールレジスタ19からの命令によりCPU11からバス13、バススイッチ21を介して入力された画像データについて処理をする。さらに、バススイッチ25がコントロールレジスタ19からの命令によりオンとなって画像処理演算回路31が処理結果の画像データをバススイッチ25を介してフレームメモリ33へディスティネーションアドレス発生回路37からのアドレス信号及びバスコントロール信号に従って格納する。

【0014】同様に、バススイッチ26がコントロールレジスタ20からの命令によりオンとなって画像処理演算回路32がコントロールレジスタ20からの命令によりCPU11からバス13、バススイッチ26を介して入力された画像データについて処理をする。さらに、バススイッチ30がコントロールレジスタ20からの命令によりオンとなって画像処理演算回路32が処理結果の画像データをバススイッチ30を介してフレームメモリ34へディスティネーションアドレス発生回路38からのアドレス信号及びバスコントロール信号に従って格納する。

【0015】また、CPU11は図2に示すようにバス12を介してコントロールレジスタ19へ命令を出力してバススイッチ21をオンさせ、かつ、バス12を介してコントロールレジスタ20へ命令を出力してバススイッチ28をオンさせる。次に、CPU11は画像処理演算回路31に対して画像処理部18内のフレームメモリ34からの画像データを演算処理させてその結果をフレームメモリ33に格納させるように命令をバス12を介してコントロールレジスタ19へ命令を出力し、バス12を介してコントロールレジスタ19へ命令を出力してバススイッチ25をオンさせる。そして、ソースアドレス発生回路35がコントロールレジスタ19からの命令によりアドレス信号及びバスコントロール信号を発生し、このアドレス信号及びバスコントロール信号がバススイッチ21、バス13、バススイッチ28を介してフ

フレームメモリ34に出力されてフレームメモリ34のアドレスが指定される。

【0016】フレームメモリ34はその指定されたアドレスから画像データを読み出し、この画像データがバススイッチ28、バス13、バススイッチ21を介して画像処理演算回路31へ入力される。画像処理演算回路31はその入力された画像データについてコントロールレジスタ19からの命令による処理を行う。ディスティネーションアドレス発生回路37はコントロールレジスタ19からの命令によりアドレス信号及びバスコントロール信号を発生し、このアドレス信号及びバスコントロール信号がバススイッチ25を介してフレームメモリ33に出力されてフレームメモリ33のアドレスが指定される。画像処理演算回路31は処理後の画像データをバススイッチ25を介してフレームメモリ33へディスティネーションアドレス発生回路37からのアドレス信号及びバスコントロール信号に従って格納する。

【0017】同様に、CPU11はバス12を介してコントロールレジスタ20へ命令を出力してバススイッチ26をオンさせ、かつ、バス12を介してコントロールレジスタ20へ命令を出力してバススイッチ23をオンさせる。次に、CPU11は画像処理演算回路32に対して画像処理部17内のフレームメモリ33からの画像データを演算処理させてその結果をフレームメモリ34に格納させるように命令をバス12を介してコントロールレジスタ20へ命令を出力し、バス12を介してコントロールレジスタ20へ命令を出力してバススイッチ30をオンさせる。そして、ソースアドレス発生回路36がコントロールレジスタ20からの命令によりアドレス信号及びバスコントロール信号を発生し、このアドレス信号及びバスコントロール信号がバススイッチ26、バス13、バススイッチ23を介してフレームメモリ33に出力されてフレームメモリ33のアドレスが指定される。

【0018】フレームメモリ33はその指定されたアドレスから画像データを読み出し、この画像データがバススイッチ23、バス13、バススイッチ26を介して画像処理演算回路32へ入力される。画像処理演算回路32はその入力された画像データについてコントロールレジスタ20からの命令による処理を行う。ディスティネーションアドレス発生回路38はコントロールレジスタ20からの命令によりアドレス信号及びバスコントロール信号を発生し、このアドレス信号及びバスコントロール信号がバススイッチ30を介してフレームメモリ34に出力されてフレームメモリ34のアドレスが指定される。画像処理演算回路32は処理後の画像データをバススイッチ30を介してフレームメモリ34へディスティネーションアドレス発生回路38からのアドレス信号及びバスコントロール信号に従って格納する。

【0019】また、CPU11は画像処理回路15又は

画像処理回路16でバス13を使用している時には他の画像処理回路16又は画像処理回路15にバス14を使用させる。すなわち、CPU11は画像処理回路15にてバススイッチ21、23をオンさせてバス13を使用させている時には画像処理回路16にてバススイッチ27、29をオンさせてバス14を使用させ、また、画像処理回路16にてバススイッチ26、28をオンさせてバス13を使用させている時には画像処理回路15にてバススイッチ22、24をオンさせてバス14を使用させる。

【0020】この実施例では、画像処理回路15、16が互いに相手のフレームメモリ33、34を直接にアクセスして画像データを読み取るので、画像処理回路15、16の間で画像データの転送を行う時間を無くすることができる。しかも、バススイッチ21～24、26～29により2つのバス13、14に対してそれぞれフレームメモリ33、34を一度に1つしか接続しないので、アドレス信号の上位ビットが必要なくなり、画像処理回路15、16を2個だけでなく3個以上に増やしてもフレームメモリ33、34のアドレス空間を広げる必要が無くして画像処理回路を任意に追加することが容易になる。

【0021】

【発明の効果】以上のように請求項1記載の発明によれば、処理元の画像データと処理後の画像データとを格納するメモリを各々有する複数の画像処理部と、この複数の画像処理部に画像データを順次処理させるCPUとを具備した画像処理装置において、前記複数の画像処理部をバスに選択的に接続する複数のバススイッチと、前記複数の画像処理部に対応して設けられ、前記CPUからの命令を格納してこの命令で各々対応する前記複数の画像処理部及び前記複数のバススイッチを制御することによって、前記複数の画像処理部を互いに選択的に接続させて前記複数の画像処理部に各々相手のメモリから処理元の画像データを読み取らせて処理させた後に自己のメモリに格納させる複数のコントロールレジスタとを備えたので、画像データの転送に時間がかからなくて高速な画像データ処理を行うことができる。しかも、複数の画像処理部をバスに選択的に接続することにより、画像処理部を任意に追加することが容易になる。

【図面の簡単な説明】

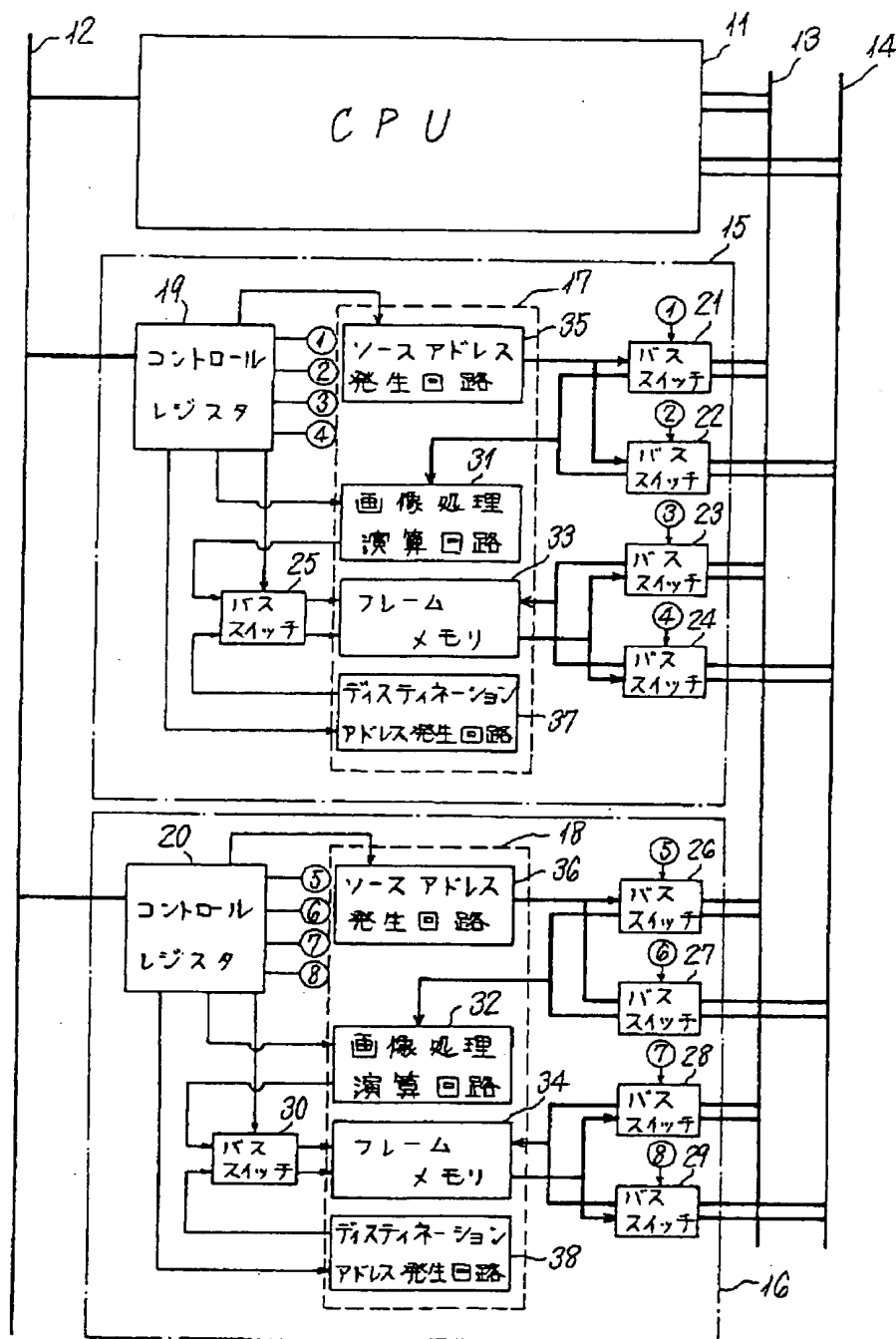
【図1】本発明の一実施例を示すブロック図である。

【図2】同実施例の動作フローの一部を示すフローチャートである。

【符号の説明】

11 CPU
13, 14 バス
17, 18 画像処理部
19, 20 コントロールレジスタ
21～24, 26～29 バススイッチ

【図1】



【図2】

